

Docket No.: W&B-INF-1919

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: October 21, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/670,662  
Applicant : Andre Schäfer et al.  
Filed : September 25, 2003  
Art Unit : to be assigned  
Examiner : to be assigned

Docket No. : W&B-INF-1919  
Customer No.: 24131

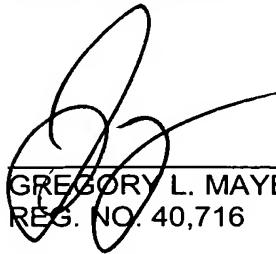
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 44 516.8 filed September 25, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK  
REG. NO. 40,716

Date: October 21, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb

# BUNDESREPUBLIK DEUTSCHLAND

---



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 44 516.8

**Anmeldetag:** 25. September 2002

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Bezeichnung:** Integrierte Schaltung mit einer  
Eingangsschaltung

**IPC:** H 03 K, G 11 C

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 18. September 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

A handwritten signature in black ink, consisting of several loops and a long horizontal stroke.

## Beschreibung

## Integrierte Schaltung mit einer Eingangsschaltung

- 5 Die Erfindung betrifft eine integrierte Schaltung mit einer Eingangsschaltung zum Empfangen von Signalen.

Integrierte Schaltungen weisen üblicherweise Signaleingänge und Signalausgänge auf. Zum Empfangen von externen Signalen  
10 sind die Signaleingänge mit Eingangsschaltungen versehen, mit denen ein von aussen anliegendes Signal empfangen und das Signal den chipinternen Schaltungen zur Verfügung gestellt wird.

- 15 Im einfachsten Fall bestehen solche Eingangsschaltungen aus einem Inverter, der zwei in Reihe geschaltete, komplementäre Transistoren umfaßt, an deren Steuereingängen jeweils das Eingangssignal angelegt ist. An dem Mittenanschluß der Transistoren, d.h. zwischen den beiden Transistoren, ist das in-  
20 vertierte Eingangssignal abgreifbar.

Insbesondere beim Zustandswechsel eines an einer Eingangsschaltung anliegenden Eingangssignales fließt durch die Eingangsschaltung ein Schaltstrom, der den Stromverbrauch der integrierten Schaltung erhöht. Auch können Eingangsschaltungen  
25 vorgesehen sein, die einen Ruhestromverbrauch aufweisen, so dass der Gesamtstromverbrauch der integrierten Schaltung durch den Stromverbrauch der Eingangsschaltung nicht unwesentlich mitbestimmt ist.

30

An den Eingängen der integrierten Schaltung können jedoch auch dann Eingangssignale anliegen, wenn diese Eingangssignale für eine andere integrierte Schaltung verwendet werden sollen, z.B. wenn mehrere integrierte Schaltungen an einem  
35 Bussystem anliegen, wobei eine Busleitung mit jeweils einem entsprechenden Eingang mit jedem der angeschlossenen integrierten Schaltungen verbunden ist. In diesem Fall sind alle

angeschlossenen Eingangsschaltungen aktiv und detektieren das anliegende Eingangssignal, ohne dass das Eingangssignal in den nicht angesprochenen integrierten Schaltungen zu einem Auslösen einer Funktion führt. Dies erhöht den Stromverbrauch merklich, insbesondere in einem Gesamtsystem, in dem eine größere Anzahl von integrierten Schaltungen mit ihren Eingängen an einem Bussystem angeschlossen sind.

Es ist daher Aufgabe der vorliegenden Erfindung, den Stromverbrauch einer integrierten Schaltung zu reduzieren.

Diese Aufgabe wird durch die integrierte Schaltung nach Anspruch 1 und das Verfahren nach Anspruch 6 gelöst.

Weitere Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Erfindungsgemäß ist eine integrierte Schaltung mit einer Eingangsschaltung vorgesehen. Die Eingangsschaltung dient zum Empfangen eines Signals und zum Bereitstellen des Signals für die integrierte Schaltung. Die Eingangsschaltung weist einen Aktivierungseingang für ein Aktivierungssignal auf, um die Eingangsschaltung abhängig von dem Aktivierungssignal zum Empfangen von Signalen zu aktivieren.

Es ist also erfindungsgemäß eine integrierte Schaltung mit einer Eingangsschaltung versehen, die deaktivierbar ist, so dass die Eingangsschaltung keinen Ruhestrom aufnimmt bzw. keinen Schaltstrom durch das Detektieren des anliegenden Signals aufnimmt, die die Energieversorgung belasten, obwohl das Eingangssignal in der betreffenden integrierten Schaltung nicht benötigt wird.

Vorzugsweise kann vorgesehen sein, dass die Eingangsschaltung so geschaltet ist, dass mit Hilfe des Aktivierungssignals die Eingangsschaltung ein- oder ausschaltbar ist. D.h. die Eingangsschaltung wird abhängig von dem Aktivierungssignal mit

der Stromversorgung verbunden oder von der Stromversorgung getrennt. Auf diese Weise ist es sehr effektiv möglich, die Eingangsschaltung zu deaktivieren und somit sicherzustellen, dass bei Zustandswechseln des Eingangssignals kein Strom  
5 durch die Eingangsschaltung fließt.

Es kann vorgesehen sein, dass die Eingangsschaltung in einer bidirektionalen Ein/Ausgangsschaltung umfaßt ist. Bei bidirektionalen Ein/Ausgangsschaltungen wird häufig beim Treiben  
10 eines Ausgangssignals mit Hilfe des Ausgangstreibers die parallel zu dem Ausgangstreiber an dem jeweiligen externen Anschluß angeschlossene Eingangsschaltung mit angesteuert. Die Eingangsschaltung empfängt dann das auf die Ausgangsleitung getriebene Signal und stellt es an dem Ausgangsknoten der  
15 Eingangsschaltung zur Verfügung, der in diesem Fall von den Schaltungen in der integrierten Schaltung abgekoppelt ist, so dass es keine Funktion auslöst. Auch bei einer bidirektionalen Ein-/Ausgangsschaltung wird also eine erhöhte Stromaufnahme bewirkt, wenn Signale von der integrierten  
20 Schaltung auf eine externe Leitung getrieben werden sollen.

Vorzugsweise ist vorgesehen, dass die Eingangsschaltung ein Dateneingang für eine Speicherschaltung ist, wobei eine Steuerschaltung zum Generieren des Aktivierungssignals vorgesehen  
25 ist. Die Steuerschaltung generiert das Aktivierungssignal, wenn Daten über die Eingangsschaltung in die Speicherschaltung zu schreiben sind. Es ist also vorgesehen, dass nur beim Empfangen von Daten über z.B. einen externen Datenbus die Eingangsschaltungen der Speicherschaltung aktiviert ist, während im sonstigen Betrieb der Speicherschaltung Dateneingänge  
30 deaktiviert bzw. ausgeschaltet sind.

Da das Schreiben von Daten in die Speicherschaltung mit Hilfe von Steuersignalen, wie z.B. dem Speicherauswahlsignal, dem  
35 Wortleitungsaktivierungssignal, dem Bitleitungsaktivierungssignal und/oder dem Schreibsignal erkennbar ist, kann in Abhängigkeit dieser Signale das Aktivierungssignal generiert

werden, so dass die Eingangsschaltungen beim Auslesen aus der Speicherschaltung abgeschaltet werden können. Zeigen die zuvor genannten Signale an, dass nun in die Speicherschaltung geschrieben werden soll, so werden die Eingangsschaltungen  
5 der integrierten Schaltung durch das durch die Steuerschaltung generierte Aktivierungssignal eingeschaltet.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Schalten einer Eingangsschaltung, insbesondere für eine integrierte Speicherschaltung vorgesehen, bei  
10 dem die Eingangsschaltung aktiviert wird, wenn ein Schreibzugriff auf die integrierte Speicherschaltung durchgeführt werden soll und bei dem die Eingangsschaltung deaktiviert wird, wenn kein Schreibzugriff auf die integrierte Speicherschaltung durchgeführt werden soll.  
15

Eine bevorzugte Ausführungsform der erfindungsgemäßen Schaltung wird im folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

20

Fig. 1 Schaltbild einer Eingangsschaltung für eine erfindungsgemäße integrierte Schaltung;

25

Fig. 2 ein Blockschaltbild einer Steuerschaltung zum Generieren des Aktivierungssignals;

Fig. 3 ein Schaltbild für eine Steuerschaltung zum Generieren des Aktivierungssignals; und

30

Fig. 4 ein Signalzeitdiagramm, dass die Generierung des Aktivierungssignals veranschaulicht.

35

In Fig. 1 ist eine mögliche Ausführungsform einer erfindungsgemäßen Eingangsschaltung dargestellt. Die Eingangsschaltung weist eine Inverterschaltung 5 auf, die einen ersten p-Kanal-Transistor 1 und einen n-Kanal-Transistor 2 aufweist. Der erste p-Kanal-Transistor 1 und der erste n-Kanal-Transistor 2

sind in Reihe geschaltet, wobei deren Steuereingänge mit dem zu empfangenden Eingangssignal E verbunden sind.

Ein erster Anschluss des ersten p-Kanal-Transistors 1 ist mit einer Ausgangsleitung 3 verbunden, auf die als Ausgangssignal A das invertierte verstärkte Eingangssignal E getrieben wird. Ein zweiter Anschluß des p-Kanal-Transistors 1 ist über einen Schalter mit einem Versorgungsspannungspotential VDD verbunden. Der Schalter ist steuerbar durch ein Aktivierungssignal S. Der Schalter ist vorzugsweise als zweiter p-Kanaltransistor 4 ausgebildet, an deren Steuereingang das Aktivierungssignal angelegt ist.

Der erste n-Kanaltransistor 2 ist mit einem ersten Anschluss und ebenfalls mit der Ausgangsleitung 3 verbunden. Ein zweiter Anschluss des ersten n-Kanal-Transistors 2 ist mit einem ersten Anschluss eines zweiten n-Kanal-Transistors 7 verbunden, dessen zweiter Anschluss mit einem Massepotential GND verbunden ist. Der zweite n-Kanal-Transistor 7 ist steuerbar durch das invertierte Aktivierungssignal  $\bar{S}$ .

Herkömmliche Eingangsschaltungen sind häufig in Form eines Inverters aufgebaut, wobei bei einem Wechsel des Zustandspegels des Eingangssignals kurzzeitig ein Strom zwischen dem Versorgungsspannungspotential VDD und dem Massepotential GND fließt. Während eine solche Inverterschaltung zwar einen geringen Ruhestrom hat, ist dieser jedoch bei einer größeren Anzahl solcher Eingangsschaltungen nicht vernachlässigbar, und insbesondere steigt bei häufig wechselnden Eingangssignalen der Stromverbrauch einer solchen Inverterschaltung stark an.

Da solche Eingangsschaltungen ständig mit Eingangssignalen verbunden werden, auch wenn die Eingangssignale nicht in der integrierten Schaltung verwendet werden sollen, fließt bei jedem Wechsel des Zustandspegels des Eingangssignals kurzzeitig ein Strom zwischen dem Versorgungsspannungspotential VDD

und dem Massepotential GND, sowie ein Strom über die Ausgangsleitung, um die Kapazitäten der daran angeschlossenen Eingänge umzuladen. Bei anders aufgebauten Eingangsschaltungen kommt es auch vor, dass der Ruhestrom größer ist, so dass  
5 solche Eingangsschaltungen eine größere Belastung der Spannungsversorgungen darstellen können.

Mit Hilfe des zweiten p-Kanal-Transistors 4 und des zweiten n-Kanaltransistors 7 kann die Eingangsschaltung von der Versorgungsspannung abgekoppelt werden, so dass selbst bei einem  
10 anliegenden Eingangssignal kein Strom durch die Eingangsschaltung fließt. Dadurch kann der Energieverbrauch der integrierten Schaltung minimiert werden.

15 Das Aktivierungssignal S ist so gestaltet, dass es nur dann die Versorgungsspannung VDD an die Eingangsschaltung anlegt, wenn das von der Eingangsschaltung detektierte und auf die Ausgangsleitung 3 getriebene Signal in der integrierten Schaltung verwendet werden soll.

20 Auf diese Weise lässt sich Energie einsparen, insbesondere dann, wenn mehrere integrierte Schaltungen über ein gemeinsames Bussystem mit einem Eingangssignal verbunden sind. Wenn die integrierten Schaltungen nicht gleichzeitig sondern im  
25 Wechsel betrieben werden, ist dabei jeweils immer nur eine oder ein Teil der integrierten Schaltungen aktiviert, obwohl alle entsprechenden Eingangsschaltungen mit den Signalleitungen des Bussystems verbunden sind. Die Eingangsschaltungen aller integrierten Schaltungen, die mit den Signalleitungen  
30 des Bussystems verbunden sind, schalten bei jedem Wechsel des betreffenden Signals und verbrauchen Energie. Mit der erfindungsgemäßen Schaltung ist es vorteilhaft, die Eingangsschaltungen deaktivieren zu können, damit diese eine Signalverstärkung nicht vornehmen, wenn das Signal im Inneren der in-  
35 tegrierten Schaltung nicht verwendet wird.



In Fig. 2 ist ein Blockdiagramm dargestellt, der die Ansteuerung von Eingangsschaltungen eines Speicherbausteins mit Hilfe einer Steuerschaltung dargestellt ist. Die Eingangssignale E in der Eingangsschaltung 5 werden dabei gesteuert durch die Steuerschaltung 6 als Ausgangssignal A auf die Ausgangsleitungen 3 getrieben.

Die Steuerschaltung 6 generiert ein Aktivierungssignal S das jeder der Eingangsschaltungen, die deaktivierbar sein sollen, zur Verfügung gestellt wird. Die Steuerschaltung 6 weist vier Eingänge auf, an die das Speicherauswahlsignal CS, das Wortleitungsaktivierungssignal RAS, das Bitleitungsaktivierungssignal CAS und das Schreibsignal WE angelegt sind. Die Eingangsschaltungen 5 sind Eingangsschaltungen für Datensignale und können in einer bidirektionalen Ein-/Ausgangsschaltung 8 umfasst sein.

Die Steuerschaltung 6 entscheidet abhängig von dem Speicherauswahlsignal CS, dem Wortleitungsaktivierungssignal RAS, dem Bitleitungsaktivierungssignal CHS und dem Schreibsignal WE, ob die Eingangsschaltungen 5 aktiviert oder deaktiviert, d.h. von der Versorgungsspannung VDD abgekoppelt sind.

In Fig. 3 ist ein Blockschaltbild einer möglichen Ausführungsform der Steuerschaltung 6 dargestellt. Die Eingangssignale sind in der dargestellten Ausführungsform Low-Activ-Signale, d.h. die Aktivierung einer Funktion erfolgt, wenn das jeweilig Signal von dem High-Zustand auf den Low-Zustand übergeht.

Das Schreibsignal wird an einen Inverter 10 angelegt, dessen Ausgang mit einem ersten Eingang eines ersten Nicht-UND-Gatters 11 verbunden ist. Das Bitleitungsaktivierungssignal CAS ist über einen zweiten Inverter 12 mit einem zweiten Eingang des Nicht-UND-Gatters 11 verbunden. Der Ausgang des ersten Nicht-UND-Gatters 11 ist mit einem ersten Eingang eines Nicht-ODER-Gatters 13 verbunden. Das Speicherauswahlsignal CS

ist über einen dritten Inverter 14 mit einem ersten Anschluß eines zweiten Nicht-UND-Gatters 15 verbunden. Das Wortleitungs-aktivierungssignal RAS ist mit einem zweiten Anschluß des zweiten Nicht-UND-Gatters 15 verbunden. Ein Ausgang des zweiten Nicht-UND-Gatters 15 ist mit einem zweiten Eingang des Nicht-ODER-Gatters 13 verbunden. Am Ausgang des Nicht-UND-Gatters 13 liegt das Aktivierungssignal S an.

In Fig. 4 ist ein Signalzeitablaufdiagramm zu der Steuerungsschaltung gemäß Fig. 3 dargestellt, das die Abhängigkeit der Generierung des Aktivierungssignals von dem Speicherauswahlsignal CS, dem Wortleitungsaktivierungssignal RAS, dem Bitleitungsaktivierungssignal CAS und dem Schreibsignal WE darstellt. Das Aktivierungssignal S wird dann generiert, wenn ein Schreibzugriff vorliegt und Daten in die Speicherschaltung geschrieben werden sollen. In diesem Fall müssen die Eingangsschaltungen zur Übernahme der Daten von einem Datenbus aktiviert sein.

Das Aktivierungssignal S wird generiert, wenn das Aktivieren der Wortleitungen abgeschlossen ist und die Daten über die Schreibleseverstärker in die Speicherzellen geschrieben werden sollen. Das Aktivieren der Wortleitungen wird durch das Wortleitungsaktivierungssignal RAS durchgeführt. Es ist beendet, wenn das RAS-Signal von dem Low-Zustand auf den High-Zustand wechselt. Anschließend oder gleichzeitig wird das Bitleitungsaktivierungssignal CAS von dem High-Zustand auf den Low-Zustand gelegt, wodurch die Schreibleseverstärker zum Schreiben der Daten in die Speicherzellen aktiviert werden. Die Auswahl der adressierten Schreibleseverstärker wird durch die mit Hilfe des Bitleitungsaktivierungssignal übernommene y-Adresse, die an den Adresseingängen deren Speicherschaltung anliegt, durchgeführt.

Sobald das Bitleitungsaktivierungssignal CAS aktiviert wird, werden die Eingangsschaltungen durch das Aktivierungssignal S eingeschaltet, so dass Daten von dem Datenbus in die Spei-

cherschaltung übernommen werden können. Wird das Bitleitungs-  
aktivierungssignal CAS deaktiviert, wird nach einer kurzen  
Verzögerungszeit, die durch die Signallaufzeit der in Fig. 3  
dargestellten Schaltung bedingt ist, das Aktivierungssignal S  
5 deaktiviert, so dass die Eingangsschaltungen keine auf dem  
Datenbus anliegenden Signale mehr empfangen können.

Die Verwendung einer solchen Schaltung ist insbesondere bei  
Speicherschaltungen sinnvoll, da häufig mehrere Speicher-  
10 schaltungen an einem einzigen Datenbus angelegt werden, und  
einzeln mit Hilfe eines Speicherauswahlsignals CS ausgewählt  
werden. Die übrigen Speicherschaltungen liegen ebenfalls an  
dem Datenbus an und erhalten an Ihren Eingängen insbesondere  
an ihren Dateneingängen die auf eine der Speicherschaltungen  
15 zu schreibenden Daten, obwohl diese Daten nicht verwendet  
werden. Durch das Abschalten der Eingangsschaltungen wird er-  
reicht, dass man das Empfangen der Eingangssignale durch die  
Eingangsschaltungen und das Treiben der Eingangssignale auf  
Signalleitungen innerhalb der integrierten Schaltungen ver-  
20 meidet, indem die Eingangsschaltung von der Versorgungsspan-  
nung abgekoppelt wird.

## Patentansprüche

1. Integrierte Schaltung, insbesondere integrierte Speicherschaltung, mit einer Eingangsschaltung (5), um ein Signal zu empfangen, wobei die Eingangsschaltung (5) einen Aktivierungseingang für ein Aktivierungssignal (S) aufweist, um die Eingangsschaltung (5) abhängig von dem Aktivierungssignal (S) zum Empfangen von Signalen zu aktivieren.  
5
- 10 2. Integrierte Schaltung nach Anspruch 1, wobei die Eingangsschaltung so gestaltet ist, dass mit Hilfe des Aktivierungssignals (S) die Eingangsschaltung (5) ein- oder ausschaltbar ist.
- 15 3. Integrierte Schaltung nach Anspruch 1 oder 2, wobei die Eingangsschaltung (5) in einer bidirektionalen Eingangsausgangsschaltung (8) umfasst ist.
- 20 4. Integrierte Schaltung nach einem der Ansprüche 1 bis 3, wobei die Eingangsschaltung (5) einen Dateneingang für eine Speicherschaltung umfasst, wobei eine Steuerschaltung (6) zum Generieren des Aktivierungssignals (S) vorgesehen ist, wobei die Steuerschaltung (6) das Aktivierungssignal (S) generiert, wenn Daten über die Eingangsschaltung (5) in die Speicherschaltung zu schreiben sind.  
25
5. Integrierte Schaltung nach Anspruch 4, wobei die Steuerschaltung (6) so gestaltet ist, um abhängig von mindestens einem der Signale Schaltungsauswahlsignal (CS), dem Wortleitungsaktivierungssignal (RAS), dem Bitleitungsaktivierungssignal (CAS) und dem Schreibsignal (WE) das Aktivierungssignal (S) zu generieren.  
30
- 35 6. Verfahren zum Aktivieren einer Eingangsschaltung für eine integrierte Speicherschaltung, wobei die Eingangsschaltung aktiviert wird, wenn ein Schreibzugriff auf die integrierte Speicherschaltung durchgeführt wird, und wobei

die Eingangsschaltung deaktiviert wird, wenn kein Schreibzugriff auf die Speicherschaltung durchgeführt wird.

## Zusammenfassung

Integrierte Schaltung mit einer Eingangsschaltung

5

Integrierte Schaltung, insbesondere um integrierte Speicher-  
schaltung mit einer Eingangsschaltung (5), um ein Signal zu  
empfangen, wobei die Eingangsschaltung (5) einen Aktivie-  
10 rungseingang für ein Aktivierungssignal (S) aufweist, um die  
Eingangsschaltung (5) abhängig von dem Aktivierungssignal (S)  
zum Empfangen von Signalen zu aktivieren.

15

Figur 2

## Bezugszeichenliste

	1	Erster p-Kanaltransistor
	2	Erster n-Kanaltransistor
5	3	Ausgangsleitung
	4	Zweiter p-Kanaltransistor
	5	Eingangsschaltung
	6	Steuerschaltung
	7	Zweiter n-Kanaltransistor
10	8	Bidirektionale Ein-/Ausgangsschaltung
	10	erster Inverter
	11	erstes Nicht-UND-Gatter
	12	zweiter Inverter
	13	Nicht-Oder-Gatter
15	14	Dritter Inverter
	15	Zweites Nicht-UND-Gatter
	A	Ausgangssignal
	E	Eingangssignal
	S	Aktivierungssignal
20	CS	Speicherauswahlsignal
	RAS	Wortleitungsaktivierungssignal
	CAS	Bitleitungsaktivierungssignal
	WE	Schreibsignal

Figur für die  
Zusammenfassung

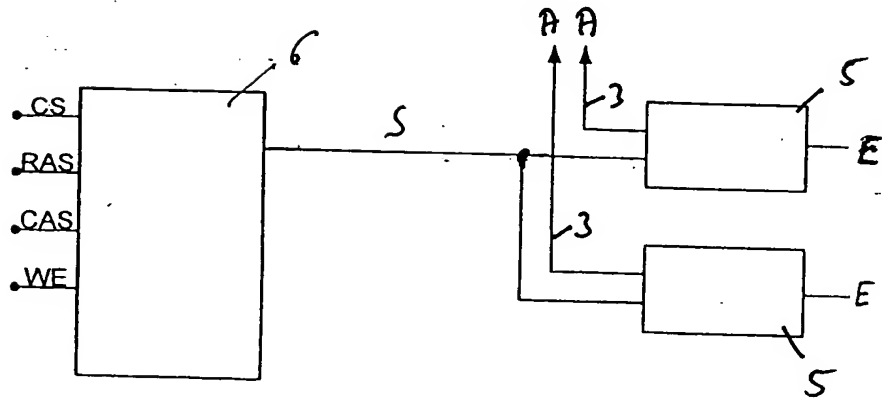


Fig. 2



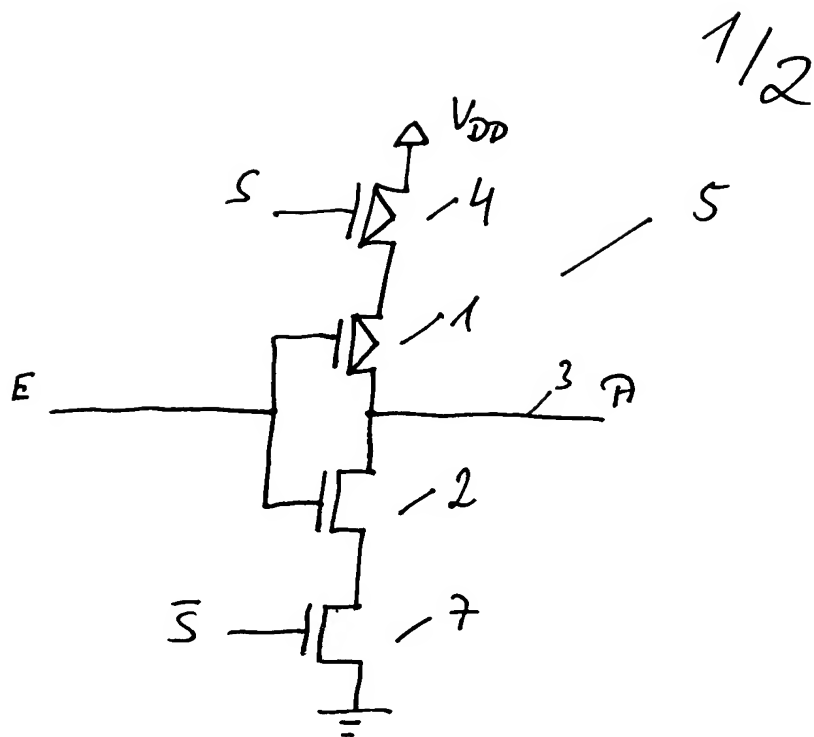


Fig. 1

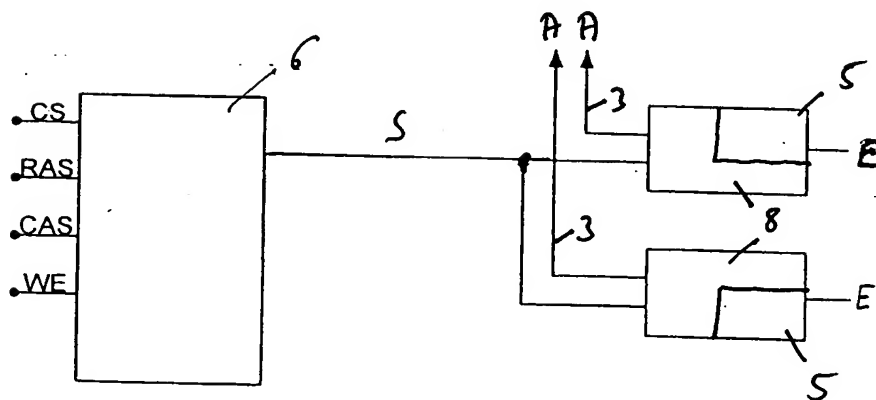


Fig. 2

2/2

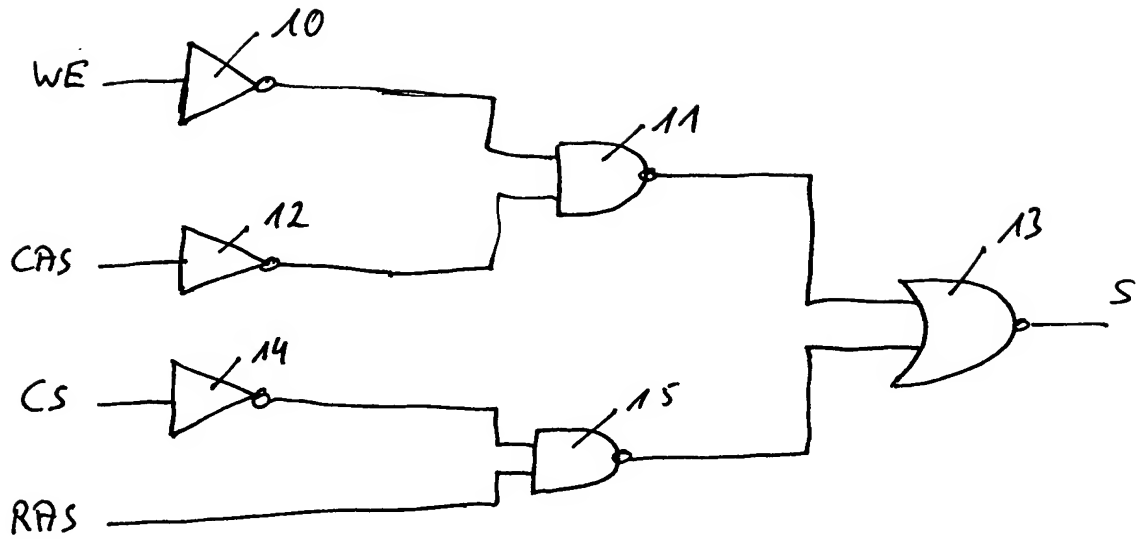


Fig. 3

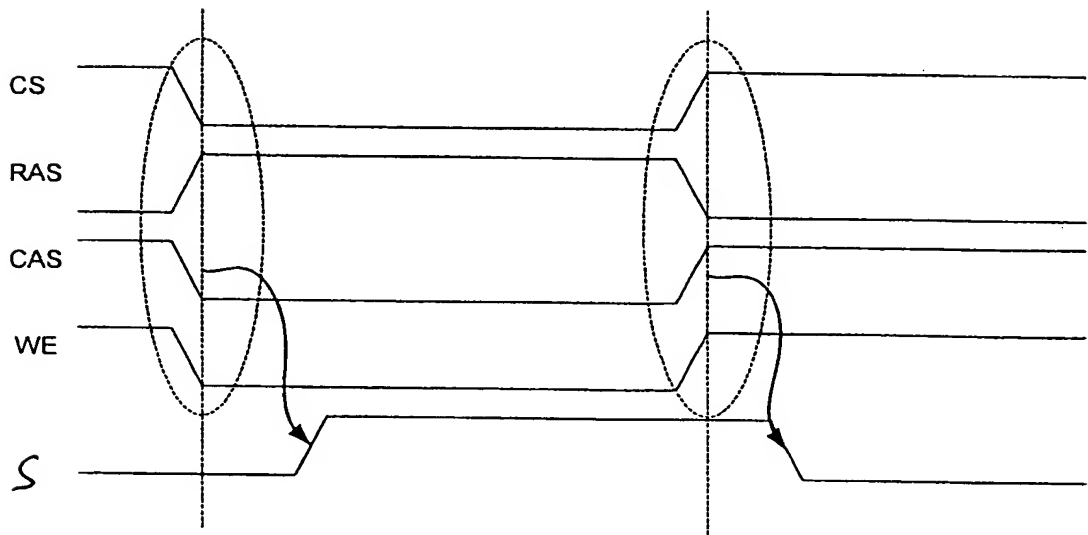


Fig. 4